

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **2003-228977**

(43)Date of publication of application : **15.08.2003**

1)Int.Cl.

G11C 11/22
G06F 12/08
G11C 11/401
G11C 11/41

1)Application number : **2002-026180**

(71)Applicant : **SONY CORP**

2)Date of filing : **01.02.2002**

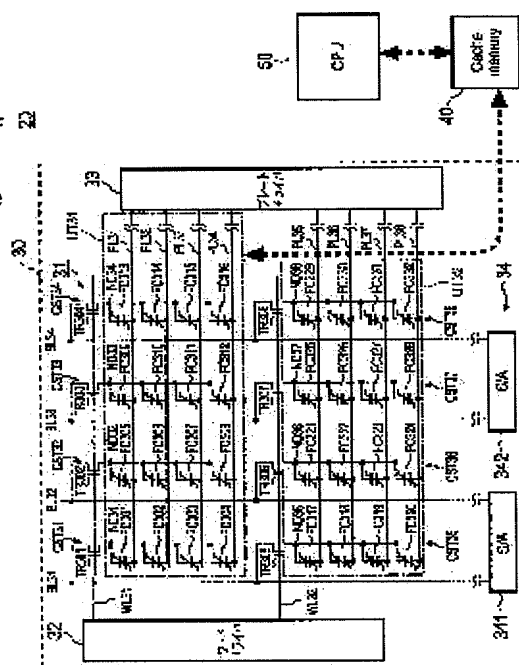
(72)Inventor : **NISHIHARA TOSHIYUKI**

4) MEMORY DEVICE AND MEMORY SYSTEM USING IT

7)Abstract:

PROBLEM TO BE SOLVED: To provide a memory device in which a random access characteristic is improved, the number of times of rewriting can be reduced, and the supremum of the number of times of disturbance can be easily controlled, making the most of a nonvolatile characteristic and a high integration characteristic of a cross point type ferroelectric memory and a memory system using it.

SOLUTION: This device comprises a cross point type ferroelectric memory 30 and a write-back type cache memory 40 being able to perform random access, access for the cross point type ferroelectric memory 30 is performed through a second memory. Thereby, data in cache memory can be accessed randomly and freely, while access to the cross point type memory is performed only in miss-hit, the number of times of rewriting of data can be reduced.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-228977

(P2003-228977A)

(43) 公開日 平成15年8月15日 (2003.8.15)

(51) Int.Cl. ⁷	識別記号	F I	テームト* (参考)
G 1 1 C 11/22	5 0 1	G 1 1 C 11/22	5 0 1 Z 5 B 0 0 5
G 0 6 F 12/08	5 5 1	G 0 6 F 12/08	5 0 1 L 5 B 0 1 5
G 1 1 C 11/401	5 5 3	G 1 1 C 11/34	5 5 1 B 5 M 0 2 4
			5 5 3 B
			Z
審査請求 有 請求項の数15 OL (全 17 頁) 最終頁に続く			

(21) 出願番号 特願2002-26180(P2002-26180)

(22) 出願日 平成14年2月1日 (2002.2.1)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 西原 利幸

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74) 代理人 100094053

弁理士 佐藤 隆久

Fターム(参考) 5B005 JJ01 MM01 PP03 UU13

5B015 HH01 HH03 JJ43 KA10 KB92

QQ16

5M024 AA94 BB26 JJ22 PP01 PP03

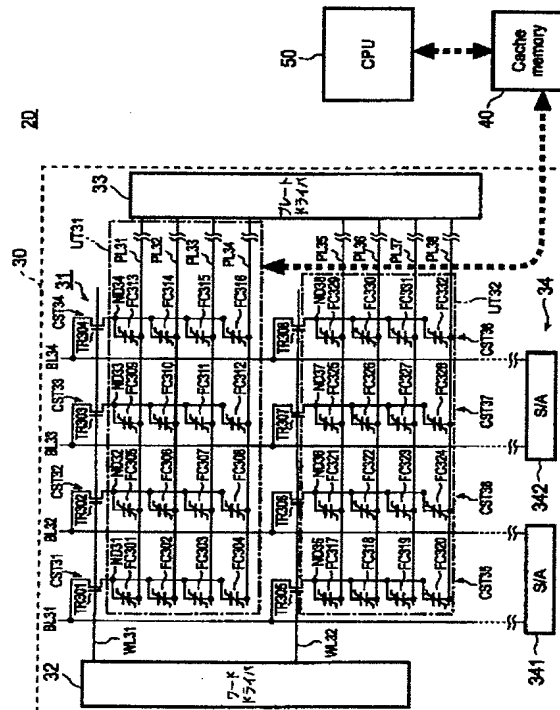
PP07 PP10 QQ03

(54) 【発明の名称】 メモリ装置およびそれを用いたメモリシステム

(57) 【要約】

【課題】クロスポイント型強誘電体メモリの不揮発性、高集積性を活かしつつ、そのランダムアクセス性を向上させ、かつ書き換え回数を低減でき、ディスタープ回数の上限を容易に制御することができるメモリ装置およびそれを用いたメモリシステムを提供する。

【解決手段】クロスポイント型強誘電体メモリ30と、ランダムアクセスが可能なライトバック型のキャッシュメモリ40を含み、クロスポイント型強誘電体メモリ30へのアクセスは第2のメモリを介して行う。これによりキャッシュメモリ内のデータは自由にランダムアクセスが可能になるとともに、クロスポイント型メモリへのアクセスはミスヒット時のみとなり、データ書き換え回数も大幅に低減できる。



【特許請求の範囲】

【請求項1】 第1のメモリおよび第2のメモリを有し、

上記第1のメモリは、

少なくとも一つのビット線と、

少なくとも一つのワード線と、

複数のプレート線と、

ノード電極と、上記ビット線と上記ノード電極との間に接続され、上記ワード線に印加される電圧に応じて導通状態または非導通状態に保持されるパストランジスタと、上記ノード電極に一方の電極が共通に接続され、他方の電極がそれぞれ異なるプレート線に接続された複数の強誘電体キャパシタとを有する少なくとも一つのセルストリングと、を有し、

上記第2のメモリは、

ランダムアクセスが可能なライトバック型のキャッシュメモリを含み、

上記第1のメモリへのアクセスは第2のメモリを介して行われるメモリシステム。

【請求項2】 上記第2のメモリがダイナミックまたはスタティックRAMを含む請求項1記載のメモリシステム。

【請求項3】 上記第1のメモリにおいてノード電極を共有するメモリストリング単位的全データを、上記第2のメモリに一括転送する機能を有する請求項1記載のメモリシステム。

【請求項4】 上記第1のメモリにおいてプレート線を共有する複数のメモリストリングを含むセルユニット単位的全データを、上記第2のメモリに一括転送する機能を有する請求項1記載のメモリシステム。

【請求項5】 上記第1のメモリにおいてノード電極を共有するメモリストリング単位的全データを、上記第2のメモリから第1のメモリに一括転送する機能を有する請求項1記載のメモリシステム。

【請求項6】 上記第1のメモリにおいてプレート線を共有する複数のメモリストリングを含むセルユニット単位的全データを、上記第2のメモリから第1のメモリに一括転送する機能を有する請求項1記載のメモリシステム。

【請求項7】 上記第1のメモリは、データを読み出す際、アクセスした強誘電体キャパシタへのリストアを省略する機能を有する請求項1記載のメモリシステム。

【請求項8】 少なくとも一つのビット線と、

少なくとも一つのワード線と、

複数のプレート線と、

ノード電極と、上記ビット線と上記ノード電極との間に接続され、上記ワード線に印加される電圧に応じて導通状態または非導通状態に保持されるパストランジスタと、上記ノード電極に一方の電極が共通に接続され、他方の電極がそれぞれ異なるプレート線に接続された複数

の強誘電体キャパシタとを有する少なくとも一つのセルストリングと、を有し、

データを読み出す際、アクセスした強誘電体キャパシタへのリストアを省略する機能を有するメモリ装置。

【請求項9】 第1のメモリ領域と第2のメモリ領域を有し、

上記第1のメモリ領域は、

少なくとも一つのビット線と、

少なくとも一つのワード線と、

複数のプレート線と、

ノード電極と、上記ビット線と上記ノード電極との間に接続され、上記ワード線に印加される電圧に応じて導通状態または非導通状態に保持されるパストランジスタと、上記ノード電極に一方の電極が共通に接続され、他方の電極がそれぞれ異なるプレート線に接続された複数の強誘電体キャパシタとを有する少なくとも一つのセルストリングと、を有し、

上記第2のメモリ領域は、

第1のメモリ領域と同一のビット線に接続された、ランダムアクセスが可能なメモリを含み、

第1のメモリ領域から第2のメモリ領域へ、少なくともデータの一部を転送する機能を有するメモリ装置。

【請求項10】 上記第1のメモリ領域においてノード電極を共有するメモリストリング単位的全データを、上記第2のメモリに一括転送する機能を有する請求項9記載のメモリ装置。

【請求項11】 上記第1のメモリ領域においてプレート線を共有する複数のメモリストリングを含むセルユニット単位的全データを、上記第2のメモリに一括転送する機能を有する請求項9記載のメモリ装置。

【請求項12】 上記第1のメモリ領域においてノード電極を共有するメモリストリング単位的全データを、上記第2のメモリから第1のメモリに一括転送する機能を有する請求項9記載のメモリ装置。

【請求項13】 上記第1のメモリ領域においてプレート線を共有する複数のメモリストリングを含むセルユニット単位的全データを、上記第2のメモリから第1のメモリに一括転送する機能を有する請求項9記載のメモリ装置。

【請求項14】 上記第1のメモリ領域および第2のメモリ領域と、各ビット線に接続されたセンスアンプと、各ビット線に接続されたラッチ回路を有し、第1のメモリ領域と第2のメモリ領域の間でデータを転送している期間、ラッチ回路に保存されたデータに外部からアクセスできる機能を有する請求項9記載のメモリ装置。

【請求項15】 上記第2のメモリ領域のランダムアクセスが可能なメモリは、記憶素子としてのキャパシタを含み、

上記第2のメモリ領域を構成するセルキャパシタの絶縁膜または強誘電体膜は、第1のメモリ領域を構成するセ

ルキャパシタの強誘電体膜の少なくとも一部と、同時に形成されている請求項 9 記載のメモリ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、不揮発性強誘電体メモリを含むメモリ装置およびこのメモリ装置を用いたメモリシステムに関するものである。

【0002】

【従来の技術】半導体メモリ、特に強誘電体を用いた FeRAM は、高速なアクセスと不揮発性の記憶を併せ持つ使い勝手のよいデバイスとして注目されており、その大容量化が期待されている。FeRAM は、小型で低消費電力であると共に衝撃にも強く、大容量化に伴うビット単価の低下が進めば、音声や画像の記録メディアとしても有望である。

【0003】特に、その集積度を向上させる有望な手段として、特願平 11-158632 号や特開平 09-121032 号では、いわゆるクロスポイント型強誘電体メモリが提案されている。

【0004】図 10 は、クロスポイント型強誘電体メモリの一例を示す回路図である。

【0005】この強誘電体メモリ 10 は、図 10 に示すように、メモリセルアレイ 11、ワードドライバ 12、プレートドライバ 13、およびセンスアンプ (S/A) 14 を有している。

【0006】メモリセルアレイ 11 は、それぞれメモリセルを構成する複数 (図 10 では、8 個) の強誘電体キャパシタ FC101~FC108 が 4 行 2 列のマトリクス状に配列されている。メモリセルアレイ 11 は、2 列のセルストリング CST11、CST12 に分割されて

いる。

【0007】セルストリング CST11 は、n チャネル MOS トランジスタからなるパストランジスタ TR101、および同一列に配列された強誘電体キャパシタ FC101、FC102、FC103、FC104 により構成される。

【0008】セルストリング CST11 においては、パストランジスタ TR101 を介してビット線 BL11 に接続されている一つのノード電極 ND11 に 4 個のメモリセルとしての強誘電体キャパシタ FC101、FC102、FC103、FC104 の一方の電極が共通に接続されている。各強誘電体キャパシタ FC101、FC102、FC103、FC104 の他方の電極はそれぞれ異なるプレート線 PL11、PL12、PL13、PL14 に接続されており、メモリセルとしての各強誘電体キャパシタ FC101、FC102、FC103、FC104 のそれぞれに対して独立にデータの書き込みができるように構成されている。なお、ノード電極 ND11 を共有する複数の強誘電体キャパシタ FC101、FC102、FC103、FC104 のデータアクセス

は、たとえば一括で連続的に行われる。また、アクセスされたデータはセンスアンプ 14 で増幅されて再書き込みされる。

【0009】セルストリング CST12 は、n チャネル MOS トランジスタからなるパストランジスタ TR102、および同一列に配列された強誘電体キャパシタ FC105、FC106、FC107、FC108 により構成される。

【0010】セルストリング CST12 においては、パストランジスタ TR102 を介してビット線 BL12 に接続されている一つのノード電極 ND12 にメモリセルとしての強誘電体キャパシタ FC105、FC106、FC107、FC108 の一方の電極が共通に接続されている。各強誘電体キャパシタ FC105、FC106、FC107、FC108 の他方の電極はそれぞれ異なるプレート線 PL11、PL12、PL13、PL14 に接続されており、メモリセルとしての各強誘電体キャパシタ FC105、FC106、FC107、FC108 のそれぞれに対して独立にデータの書き込みができるように構成されている。なお、ノード電極 ND12 を共有する複数の強誘電体キャパシタ FC105、FC106、FC107、FC108 のデータアクセスは、たとえば一括で連続的に行われる。また、アクセスされたデータはセンスアンプ 14 で増幅されて再書き込みされる。

【0011】そして、セルストリング CST11、CST12 を構成するパストランジスタ TR101、TR102 のゲート電極が共通のワード線 WL11 に接続されている。

【0012】ワードドライバ 12 は、アドレス指定されたワード線、図 10 の例では WL11 に、たとえば電源電圧 $V_{\alpha} + \alpha$ (α はパストランジスタのしきい値電圧 V_{th} 以上の電圧、たとえば 1V) を印加して、セルユニット単位でパストランジスタを導通状態に保持させる。

【0013】プレートドライバ 13 は、データアクセス時にアドレス指定されたプレート線 PL11~PL14 にアドレス指定されたメモリセルとしての強誘電体キャパシタにデータを書き込み、または読み出し、かつ再書き込みが行えるような所定電圧 0V、 V_{α} を印加し、非選択のプレート線には所定電圧 $V_{\alpha} / 2$ を印加する。

【0014】センスアンプ 14 は、ビット線 BL11 および BL12 が接続され、書き込み時あるいは読み出し時に、ビット線 BL11、BL12 に読み出されたデータをラッチして増幅し、再書き込み (リフレッシュ動作) を行う。

【0015】このような構成を有する強誘電体メモリ 10 における読み出し動作は、次のように行われる。たとえば、ワードドライバ 12 によりワード線 WL11 を駆動し、プレートドライバ 13 によりプレート線 PL12~PL14 を 0V に固定した状態でプレート線 PL11

を V_{α} に駆動すると、強誘電体キャパシタFC101、FC105からビット線対BL11、BL12に電荷が放出される。それによって生じた電位差を差動型センスアンプ14でセンスすることでデータを読み出せる。

【0016】クロスポイント型強誘電体メモリは、一つのトランジスタを複数のキャパシタが共有するため、実効的にビット当たりの素子数が減少し、コスト低減に有効である。

【0017】

【発明が解決しようとする課題】上述の如く、クロスポイント型強誘電体メモリは集積度の面で有利であるが、以下の制約がある。

【0018】すなわち、上述したクロスポイント型半導体メモリでは、ワード線により選択されたメモリストリングの共通ノード電極に複数のキャパシタが接続されているため、任意のキャパシタにデータを書きこむ際、ノード電極を共有する非選択キャパシタにも電圧が印加される（これは一般にディスタ urb と呼ばれる。）。この電圧印加は、一回でデータを破壊するほどのものではないが、それが無制限回数印加されると徐々にデータを劣化せしめ、最後にはデータを破壊してしまう。したがって、ディスタ urb 印加回数を制限すべく、何らかの方策を取る必要がある。

【0019】上述の特開平09-121032号等では、メモリアクセスをユニット一括で行う仕様とすることで、ディスタ urb の上限を制限している。すなわち、任意のセルがアクセスされた場合、ディスタ urb を受ける同一メモリストリング内のセルも、連続したシーケンスの中で必ずアクセスされ、再書き込みされることになる。したがって、メモリストリングの共通ノード電極への接続セル数をNとするとディスタ urb 回数の上限はN-1回である。

【0020】しかしこの場合、あるメモリストリングをアクセスすると、そこに接続された全セルについて読み出しと再書き込みを完了するまで他のメモリストリングはアクセスできない。したがって、たとえばDRAMのようなランダムアクセス用途への適用は基本的に不可能であるか、または非常に遅くなってしまふ。

【0021】さらに強誘電体メモリ一般には、膜疲労という問題がある。これは強誘電体膜が分極反転を繰り返すことにより、分極特性が劣化するものであり、これにより書き換え回数が制限されるものである。一般に、強誘電体膜の書き換え回数は1E12回程度とされており、DRAMのような使い方をすると信頼性を保証できない。

【0022】上記理由から、クロスポイント型強誘電体メモリはその使用用途が著しく限定されるという問題があった。

【0023】本発明は、かかる事情に鑑みてなされたものであり、その目的は、クロスポイント型強誘電体メモ

リの不揮発性、高集積性を活かしつつ、そのランダムアクセス性を向上させ、かつ書き換え回数を低減でき、ディスタ urb 回数の上限を容易に制御することができるメモリ装置およびそれを用いたメモリシステムを提供することにある。

【0024】

【課題を解決するための手段】上記目的を達成するため、本発明の第1の観点に係るメモリシステムは、第1のメモリおよび第2のメモリを有し、上記第1のメモリは、少なくとも一つのビット線と、少なくとも一つのワード線と、複数のプレート線と、ノード電極と、上記ビット線と上記ノード電極との間に接続され、上記ワード線に印加される電圧に応じて導通状態または非導通状態に保持されるパストラジスタと、上記ノード電極に一方の電極が共通に接続され、他方の電極がそれぞれ異なるプレート線に接続された複数の強誘電体キャパシタとを有する少なくとも一つのセルストリングと、を有し、上記第2のメモリは、ランダムアクセスが可能なライトバック型のキャッシュメモリを含み、上記第1のメモリへのアクセスは第2のメモリを介して行われる。

【0025】本発明では、上記第2のメモリがダイナミックまたはスタティックRAMを含む。

【0026】本発明では、上記第1のメモリにおいてノード電極を共有するメモリストリング単位的全データを、上記第2のメモリに一括転送する機能を有する。

【0027】本発明では、上記第1のメモリにおいてプレート線を共有する複数のメモリストリングを含むセルユニット単位的全データを、上記第2のメモリに一括転送する機能を有する。

【0028】本発明では、上記第1のメモリにおいてノード電極を共有するメモリストリング単位的全データを、上記第2のメモリから第1のメモリに一括転送する機能を有する。

【0029】また、本発明では、上記第1のメモリにおいてプレート線を共有する複数のメモリストリングを含むセルユニット単位的全データを、上記第2のメモリから第1のメモリに一括転送する機能を有する。

【0030】好適には、上記第1のメモリは、データを読み出す際、アクセスした強誘電体キャパシタへのリストアを省略する機能を有する。

【0031】本発明の第2の観点に係るメモリ装置は、少なくとも一つのビット線と、少なくとも一つのワード線と、複数のプレート線と、ノード電極と、上記ビット線と上記ノード電極との間に接続され、上記ワード線に印加される電圧に応じて導通状態または非導通状態に保持されるパストラジスタと、上記ノード電極に一方の電極が共通に接続され、他方の電極がそれぞれ異なるプレート線に接続された複数の強誘電体キャパシタとを有する少なくとも一つのセルストリングと、を有し、データを読み出す際、アクセスした強誘電体キャパシタへの

リストアを省略する機能を有する。

【0032】本発明の第3の観点に係るメモリ装置は、第1のメモリ領域と第2のメモリ領域を有し、上記第1のメモリ領域は、少なくとも一つのビット線と、少なくとも一つのワード線と、複数のプレート線と、ノード電極と、上記ビット線と上記ノード電極との間に接続され、上記ワード線に印加される電圧に応じて導通状態または非導通状態に保持されるパストランジスタと、上記ノード電極に一方の電極が共通に接続され、他方の電極がそれぞれ異なるプレート線に接続された複数の強誘電体キャパシタとを有する少なくとも一つのセルストリングと、を有し、上記第2のメモリ領域は、第1のメモリ領域と同一のビット線に接続された、ランダムアクセスが可能なメモリを含み、第1のメモリ領域から第2のメモリ領域へ、少なくともデータの一部を転送する機能を有する。

【0033】本発明では、上記第1のメモリ領域においてノード電極を共有するメモリストリング単位的全データを、上記第2のメモリに一括転送する機能を有する。

【0034】本発明では、上記第1のメモリ領域においてプレート線を共有する複数のメモリストリングを含むセルユニット単位的全データを、上記第2のメモリに一括転送する機能を有する。

【0035】本発明では、上記第1のメモリ領域においてノード電極を共有するメモリストリング単位的全データを、上記第2のメモリから第1のメモリに一括転送する機能を有する。

【0036】本発明では、上記第1のメモリ領域においてプレート線を共有する複数のメモリストリングを含むセルユニット単位的全データを、上記第2のメモリから第1のメモリに一括転送する機能を有する。

【0037】本発明では、好適には、上記第1のメモリ領域および第2のメモリ領域と、各ビット線に接続されたセンスアンプと、各ビット線に接続されたラッチ回路を有し、第1のメモリ領域と第2のメモリ領域の間でデータを転送している期間、ラッチ回路に保存されたデータに外部からアクセスできる機能を有する。

【0038】好適には、上記第2のメモリ領域のランダムアクセスが可能なメモリは、記憶素子としてのキャパシタを含み、上記第2のメモリ領域を構成するセルキャパシタの絶縁膜または強誘電体膜は、第1のメモリ領域を構成するセルキャパシタの強誘電体膜の少なくとも一部と、同時に形成されている。

【0039】本発明によれば、いわゆるクロスポイント型強誘電体メモリへのデータアクセスをライトバック型キャッシュメモリを介して行う。これによりキャッシュメモリ内のデータは自由にランダムアクセスが可能になるとともに、クロスポイント型メモリへのアクセスはミスヒット時のみとなり、データ書き換え回数も大幅に低減できる。さらに、クロスポイント型強誘電体メモリと

キャッシュメモリとのデータ転送を、少なくともメモリストリングまたはプレート線を共有したユニット単位で行う。これにより、クロスポイント型メモリ側のアクセスは常にユニットで一括となる。したがって、ディスタープ回数の上限を容易に制御することができる。

【0040】また、上述のキャッシュメモリをクロスポイント型強誘電体メモリ内に適切に内蔵させることで、さらにシステム性能を向上させることができる。たとえばキャッシュメモリをDRAMとし、クロスポイント型強誘電体メモリのメモリユニットと同一のビット線に接続させる。そして、外部からは、通常そのDRAMのデータをアクセスする。これにより面積的オーバーヘッドを最小に留めつつ、選択されたユニット群の選択データをDRAMにまとめて直接転送することができ、ミスヒット時のデータ転送に伴うオーバーヘッドを大幅に低減できる。

【0041】さらに、上記DRAMのキャパシタ絶縁膜を、本体中の少なくとも一部のメモリユニットの強誘電体膜と同時形成することにより、製造工程を増加させることなく、微細なDRAMを搭載でき、キャッシュ搭載に伴うチップ面積の増大を抑制できる。さらに、上記キャッシュメモリをDRAMではなく、各キャパシタがトランジスタで分離されたFeRAMとすれば、分極反転信号を使える分そのキャパシタ面積を抑制でき、さらにチップ面積のオーバーヘッドは縮小する。さらに、上記DRAM(FeRAM)領域とクロスポイント型強誘電体メモリ領域との間のデータ転送をユニットアレイ単位で行えば、クロスポイント型強誘電体メモリ領域へのアクセスは常にユニットアレイ単位となり、ディスタープの上限を容易に規定することができる。さらに、各ビット線に対応し、センスアンプ以外に別途ラッチを設けることで、ラッチに保存されたデータを外部からアクセスしつつクロスポイント型メモリ領域とDRAM領域とのデータ転送を行うことが可能になり、メモリの使用効率を向上させることができる。

【0042】したがって、本発明を採用すれば、クロスポイント型強誘電体メモリの不揮発性、高集積性を活かしつつ、そのランダムアクセス性を向上させ、かつ書き換え回数を低減できる。これによりこのメモリの適用対象を大幅に拡大することが可能になる。

【0043】

【発明の実施の形態】第1実施形態

図1は、本発明の第1の実施形態に係るメモリ装置を採用したメモリシステムを示すブロック図、図2は、本発明の第1の実施形態に係るメモリ装置を採用したメモリシステムを示す回路図である。

【0044】本メモリシステム20は、図1および図2に示すように、第1のメモリとしてのクロスポイント型強誘電体メモリ（以下、本体メモリという）30、第2のメモリとしてのライトバック型キャッシュメモリ4

0、およびCPU50を有している。本体メモリ30とライトバック型キャッシュメモリ40により本発明に係るメモリ装置が構成される。なお、ライトバック型キャッシュメモリ40は、ランダムアクセスが可能なSRAMまたはDRAMにより構成される。

【0045】そして、本第1の実施形態に係るメモリ装置を採用したメモリシステム20は図1に示すように、第1のメモリである本体メモリ30、第2のメモリであるキャッシュメモリ40、およびCPU50がそれぞれ別チップで構成されている。

【0046】本体メモリ30は、図2に示すように、メモリセルアレイ31、ワードドライバ32、プレートドライバ33、およびセンスアンプ(S/A)群34を有している。

【0047】メモリセルアレイ31は、それぞれメモリセルを構成する複数(本実施形態では32個)の強誘電体キャパシタFC301~FC332がマトリクス状に配列されている。そして、メモリセルを構成する32個の強誘電体キャパシタは、ひとつのセルユニットUT31、UT32に分割されている。なお、図1では図面の簡単化のため2つのセルユニットのみを示しているが、メモリセルアレイ31は、複数のセルユニットをマトリクス状に配列して構成される。

【0048】セルユニットUT31は、4列のセルストリングCST31~CST34に分割されている。

【0049】セルストリングCST31は、nチャネルMOSトランジスタからなるパストランジスタTR301、および同一列に配列された強誘電体キャパシタFC301、FC302、FC303、FC304により構成される。

【0050】セルストリングCST31においては、パストランジスタTR301を介してビット線BL31に接続されている一つのノード電極ND31に複数(本実施形態では4個)のメモリセルとしての強誘電体キャパシタFC301、FC302、FC303、FC304の一方の電極が共通に接続されている。各強誘電体キャパシタFC301、FC302、FC303、FC304の他方の電極はそれぞれ異なるプレート線PL31、PL32、PL33、PL34に接続されており、メモリセルとしての各強誘電体キャパシタFC301、FC302、FC303、FC304のそれぞれに対して独立にデータの書き込みができるように構成されている。なお、本実施形態では、たとえばノード電極ND31を共有する複数の強誘電体キャパシタFC301、FC302、FC303、FC304のデータアクセスは一括で連続的に行われる。

【0051】セルストリングCST32は、nチャネルMOSトランジスタからなるパストランジスタTR302、および同一列に配列された強誘電体キャパシタFC305、FC306、FC307、FC308により構成

成される。

【0052】セルストリングCST32においては、パストランジスタTR302を介してビット線BL32に接続されている一つのノード電極ND32にメモリセルとしての強誘電体キャパシタFC305、FC306、FC307、FC308の一方の電極が共通に接続されている。各強誘電体キャパシタFC305、FC306、FC307、FC308の他方の電極はそれぞれ異なるプレート線PL31、PL32、PL33、PL34に接続されており、メモリセルとしての各強誘電体キャパシタFC305、FC306、FC307、FC308のそれぞれに対して独立にデータの書き込みができるように構成されている。なお、本実施形態では、ノード電極ND32を共有する複数の強誘電体キャパシタFC305、FC306、FC307、FC308のデータアクセスは一括で連続的に行われる。

【0053】セルストリングCST33は、nチャネルMOSトランジスタからなるパストランジスタTR303、および同一列に配列された強誘電体キャパシタFC309、FC310、FC311、FC312により構成される。

【0054】セルストリングCST33においては、パストランジスタTR303を介してビット線BL33に接続されている一つのノード電極ND33にメモリセルとしての強誘電体キャパシタFC309、FC310、FC311、FC312の一方の電極が共通に接続されている。各強誘電体キャパシタFC309、FC310、FC311、FC312の他方の電極はそれぞれ異なるプレート線PL31、PL32、PL33、PL34に接続されており、メモリセルとしての各強誘電体キャパシタFC309、FC310、FC311、FC312のそれぞれに対して独立にデータが書き込みができるように構成されている。なお、本実施形態では、ノード電極ND33を共有する複数の強誘電体キャパシタFC309、FC310、FC311、FC312のデータアクセスは一括で連続的に行われる。

【0055】セルストリングCST34は、nチャネルMOSトランジスタからなるパストランジスタTR304、および同一列に配列された強誘電体キャパシタFC313、FC314、FC315、FC316により構成される。

【0056】セルストリングCST34においては、パストランジスタTR304を介してビット線BL34に接続されている一つのノード電極ND34にメモリセルとしての強誘電体キャパシタFC313、FC314、FC315、FC316の一方の電極が共通に接続されている。各強誘電体キャパシタFC313、FC314、FC315、FC316の他方の電極はそれぞれ異なるプレート線PL31、PL32、PL33、PL34に接続されており、メモリセルとしての各強誘電体キャ

ャパシタFC313, FC314, FC315, FC316のそれぞれに対して独立にデータが書き込みができるように構成されている。なお、本実施形態では、ノード電極ND34を共有する複数の強誘電体キャパシタFC313, FC314, FC315, FC316のデータアクセスは一括で連続的に行われる。

【0057】そして、セルストリングCST31~CST34を構成するパストランジスタTR301~TR304のゲート電極が共通のワード線WL31に接続されている。

【0058】セルユニットUT32は、4列のセルストリングCST35~CST38に分割されている。

【0059】セルストリングCST35は、nチャネルMOSトランジスタからなるパストランジスタTR305、および同一列に配列された強誘電体キャパシタFC317, FC318, FC319, FC320により構成される。

【0060】セルストリングCST35においては、パストランジスタTR305を介してビット線BL31に接続されている一つのノード電極ND35に複数（本実施形態では4個）のメモリセルとしての強誘電体キャパシタFC317, FC318, FC319, FC320の一方の電極が共通に接続されている。各強誘電体キャパシタFC317, FC318, FC319, FC320の他方の電極はそれぞれ異なるプレート線PL35, PL36, PL37, PL38に接続されており、メモリセルとしての各強誘電体キャパシタFC317, FC318, FC319, FC320のそれぞれに対して独立にデータの書き込みができるように構成されている。なお、本実施形態では、たとえばノード電極ND35を共有する複数の強誘電体キャパシタFC317, FC318, FC319, FC320のデータアクセスは一括で連続的に行われる。

【0061】セルストリングCST36は、nチャネルMOSトランジスタからなるパストランジスタTR306、および同一列に配列された強誘電体キャパシタFC321, FC322, FC323, FC324により構成される。

【0062】セルストリングCST36においては、パストランジスタTR306を介してビット線BL32に接続されている一つのノード電極ND36にメモリセルとしての強誘電体キャパシタFC321, FC322, FC323, FC324の一方の電極が共通に接続されている。各強誘電体キャパシタFC321, FC322, FC323, FC324の他方の電極はそれぞれ異なるプレート線PL35, PL36, PL37, PL38に接続されており、メモリセルとしての各強誘電体キャパシタFC321, FC322, FC323, FC324のそれぞれに対して独立にデータの書き込みができるように構成されている。なお、本実施形態では、ノード電極ND36を共有する複数の強誘電体キャパシタFC321, FC322, FC323, FC324のデータアクセスは一括で連続的に行われる。

ド電極ND36を共有する複数の強誘電体キャパシタFC321, FC322, FC323, FC324のデータアクセスは一括で連続的に行われる。

【0063】セルストリングCST37は、nチャネルMOSトランジスタからなるパストランジスタTR307、および同一列に配列された強誘電体キャパシタFC325, FC326, FC327, FC328により構成される。

【0064】セルストリングCST37においては、パストランジスタTR307を介してビット線BL33に接続されている一つのノード電極ND37にメモリセルとしての強誘電体キャパシタFC325, FC326, FC327, FC328の一方の電極が共通に接続されている。各強誘電体キャパシタFC325, FC326, FC327, FC328の他方の電極はそれぞれ異なるプレート線PL35, PL36, PL37, PL38に接続されており、メモリセルとしての各強誘電体キャパシタFC325, FC326, FC327, FC328のそれぞれに対して独立にデータが書き込みができるように構成されている。なお、本実施形態では、ノード電極ND37を共有する複数の強誘電体キャパシタFC325, FC326, FC327, FC328のデータアクセスは一括で連続的に行われる。

【0065】セルストリングCST38は、nチャネルMOSトランジスタからなるパストランジスタTR308、および同一列に配列された強誘電体キャパシタFC329, FC330, FC331, FC332により構成される。

【0066】セルストリングCST38においては、パストランジスタTR308を介してビット線BL34に接続されている一つのノード電極ND38にメモリセルとしての強誘電体キャパシタFC329, FC330, FC331, FC332の一方の電極が共通に接続されている。各強誘電体キャパシタFC329, FC330, FC331, FC332の他方の電極はそれぞれ異なるプレート線PL35, PL36, PL37, PL38に接続されており、メモリセルとしての各強誘電体キャパシタFC329, FC330, FC331, FC332のそれぞれに対して独立にデータが書き込みができるように構成されている。なお、本実施形態では、ノード電極ND38を共有する複数の強誘電体キャパシタFC329, FC330, FC331, FC332のデータアクセスは一括で連続的に行われる。

【0067】そして、セルストリングCST35~CST38を構成するパストランジスタTR305~TR308のゲート電極が共通のワード線WL32に接続されている。

【0068】ワードドライバ32は、アドレス指定されたワード線、図2の例ではWL31またはWL32に、たとえば電源電圧 $V_{\alpha} + \alpha$ (α はパストランジスタのし

きい値電圧 V_{th} 以上の電圧、たとえば1 V)を印加して、セルユニット単位でパストランジスタを導通状態に保持させる。

【0069】プレートドライバ33は、データアクセス時にアドレス指定されたプレート線 $PL31 \sim PL34$ あるいは $PL35 \sim PL38$ にアドレス指定されたメモリセルとしての強誘電体キャパシタにデータを書き込み、または読み出しが行えるような所定電圧 $0V$ 、 V_{α} を印加し、非選択のプレート線には所定電圧 $V_{\alpha}/2$ を印加する。なお、前述したように、メモリセルアレイ31に対するアクセスは、セルユニット単位（ワード線単位）で選択が行われ、セルストリング内の一つのノードに接続されている複数（本実施形態では4個）の強誘電体キャパシタに対して一括で連続的に行われることから、4本のプレート線 $PL31 \sim PL34$ 、 $PL35 \sim PL38$ はそれぞれ連続的にアドレス指定される。

【0070】センスアンプ群34は、ビット線 $BL31$ および $BL32$ が接続されたセンスアンプ341と、ビット線 $BL33$ および $BL34$ が接続されたセンスアンプ342を有している。各センスアンプ341、342は、書き込み時あるいは読み出し時に、ビット線 $BL31 \sim BL34$ に読み出されたデータをラッチして増幅する。

【0071】また、本体メモリ30においては、図示しないカラムドライバにより、アドレス指定に応じてセンスアンプ341、342の選択やセンスアンプにラッチされた読み出しデータの出力、書き込みデータの対応するセンスアンプへの供給等を行う。

【0072】なお、本体メモリ30においては、ビット線 $BL31$ とビット線 $BL32$ 、ビット線 $BL33$ とビット線 $BL34$ がビット線対を構成し、ビット線対の一方のビット線には、図示しないダミーセルにより参照電位が与えられる。

【0073】以下、本メモリシステム20の特徴的な機能について説明する。

【0074】メモリシステム20では、本体メモリ30へのアクセスをライトバック型キャッシュメモリ40を介して行う。すなわち、CPU50は、所望のデータにアクセスする際、まずキャッシュメモリ40の内部を探し、そこにデータがあれば、本体メモリ30はアクセスしない。また、キャッシュメモリ40に所望のデータが無い場合（ミスヒット時）は、所望のデータを含むメモリブロックを本体メモリ30からキャッシュメモリ40に転送する。その際、キャッシュメモリ40の内部に空きが無い場合、記憶データ群の一部を破棄し、そのデータは本体メモリ30の元の位置に書き戻す。

【0075】上記動作は、キャッシュメモリ40への書き込み時でも同様に、キャッシュメモリ40に所望データがあれば、本体メモリ30にはアクセスされない。したがって、本動作を実現するために、キャッシュメモリ

40は、書きこみ時には必ず本体メモリ30へも書き戻されるライトスルー型とは異なる、ライトバック型により構成されている。

【0076】本メモリシステム20へのアクセスはキャッシュメモリ40に所望データがある限り、キャッシュメモリ40のみに対して行われる。したがって、その際のアクセスは見かけ上ランダムアクセスとなっている。また、上述したように、ヒット時は本体メモリ30へのアクセスが行われない。したがって、本体メモリ30への総アクセス回数を低減でき、書き換え回数を減少させ、その寿命を延ばすことが可能である。

【0077】さらに、本メモリシステム20では、キャッシュメモリ40と本体メモリ30の間のデータ転送を、互いにディスターブを及ぼし合うキャパシタ群の単位で一括に行う。すなわち、たとえば本体メモリ30におけるセルストリング $CST31 \sim CST34$ 、 $CST35 \sim CST38$ 、またはプレート線 $PL31 \sim PL34$ 、 $PL35 \sim PL38$ を共有したセルユニット $UT31$ 、 $UT32$ の単位で一括に転送を行う。

【0078】これにより、本体メモリ30へのアクセスは常にセルユニット $UT31$ 、 $UT32$ に相当する単位で行われる。したがって、任意のデータが所望された際、そのアクセス時にディスターブを受ける全てのセルキャパシタが同時にアクセスされることになり、少なくとも一回づつリフレッシュされる。その結果、上記単位でアクセスが行われる限り、いずれのセルキャパシタに対してもディスターブ回数の上限を保証でき、その劣化を制限することが可能になる。

【0079】また、本メモリシステム20では、本体メモリ30がリストア動作を行わず、読み出しのみを行う機能を有している。

【0080】本体メモリ30からのデータ読み出しは破壊読出しとなるので、一般的な強誘電体メモリでは、読み出しの際、引き続いて必ずリストアを行っている。これに対して、本メモリシステム20における本体メモリ30のように、リストア省略機能を設けることで、本体メモリ30からキャッシュメモリ40へのデータ転送は高速に無駄なく行われ、さらに、即座に次の転送に移れるようになる。これらのデータは、本体メモリ30側では破壊されているが、キャッシュメモリ40側には保存されている。これらのデータは、将来キャッシュメモリ40側でデータが破棄される際には必ず本体メモリ30に書き戻される。したがって、実際の使用でデータが失われることはない。このように、本メモリシステム20においては、本体メモリ30で無駄なリストアを行わないことから、書き換え回数も半分で済む。

【0081】なお、このような機能を使用した場合は、電源オフ時には電源電圧の低下を検知して自動的にキャッシュメモリ40内のデータを本体メモリ30に書き戻す機能を付加しておくことが望ましい。

【0082】また、本メモリシステム20において、本体メモリ30からの読み出し動作は、たとえば図2のビット線BL31、BL32をグラウンドレベルにイコライズして浮遊状態にした後、ワード線WL31をワードドライバ32により駆動して、セルストリングCST31、CST32のバストランジスタTR301、302を導通状態とし、たとえばプレート線PL31に正の電圧パルスを与える動作である。この際、選択されたキャパシタFC301、FC305における強誘電体膜の分極は”1”データが反転し、”0”保持と同じ方向、すなわち弱”0”状態となる。このようにデータを取り出した後、さらにビット線BL31、BL32をグラウンドレベルに戻し、読み出しを行った全セルに意図的に”0”書きこみを完了しておくことも可能である。このような処理を行っておけば、データを書き戻す際は、所望のセルに”1”書きこみのみを行えば良い。したがって、書きこみ動作も簡略化し、高速化することができる。

【0083】以上説明したように、本第1の実施形態によれば、クロスポイント型本体メモリ（強誘電体メモリ）30へのデータアクセスをライトバック型キャッシュメモリ40を介して行うことから、キャッシュメモリ40内のデータは自由にランダムアクセスが可能になるとともに、クロスポイント型の本体メモリ30のアクセスはミスヒット時のみとなり、データ書き換え回数も大幅に低減できる。さらに、クロスポイント型強誘電体メモリ30とキャッシュメモリ40とのデータ転送を、セルストリングCST31～CST34、CST35～CST38、またはプレート線PL31～PL34、PL35～PL38を共有したセルユニットUT31、UT32の単位で一括に転送を行うことから、クロスポイント型強誘電体メモリ30側のアクセスは常にセルユニットUT31、UT32で一括となる。したがって、ディスターブ回数の上限を容易に制御することが出来る。

【0084】第2実施形態

図3は、本発明の第2の実施形態に係るメモリ装置を採用したメモリシステムを示す回路図である。

【0085】本第2の実施形態が上述した第1の実施形態と異なる点は、クロスポイント型強誘電体メモリ、すなわち本体メモリの構成にある。第1の実施形態では、メモリセルアレイにおいて、異なる列に配置されたセルストリングをそれぞれ異なるビット線BL31～BL34に接続したのに対し、本第2の実施形態では、隣接する2列のセルストリングを同一のビット線に接続している。

【0086】具体的には、本体メモリ30Aでは、図3に示すように、セルユニットUT31AにおけるセルストリングCST31Aのノード電極ND31がバストランジスタTR301を介してビット線BL31に接続され、セルストリングCST32Aのノード電極ND32

がバストランジスタTR302を介してビット線BL31にされている。同様に、セルユニット31AにおけるセルストリングCST33Aのノード電極ND33がバストランジスタTR303を介してビット線BL32に接続され、セルストリングCST34Aのノード電極ND34がバストランジスタTR304を介してビット線BL32にされている。そして、セルストリングCST31AのバストランジスタTR301のゲートとセルストリングCST33AのバストランジスタTR303のゲートが共通のワード線WL31に接続され、セルストリングCST32AのバストランジスタTR302のゲートとセルストリングCST34AのバストランジスタTR304のゲートが共通のワード線WL33に接続されている。

【0087】また、セルユニットUT32AにおけるセルストリングCST35Aのノード電極ND35がバストランジスタTR305を介してビット線BL31に接続され、セルストリングCST36Aのノード電極ND36がバストランジスタTR306を介してビット線BL31にされている。同様に、セルユニットUT32AにおけるセルストリングCST37Aのノード電極ND37がバストランジスタTR307を介してビット線BL32に接続され、セルストリングCST38Aのノード電極ND38がバストランジスタTR308を介してビット線BL32にされている。そして、セルストリングCST35AのバストランジスタTR305のゲートとセルストリングCST37AのバストランジスタTR307のゲートが共通のワード線WL32に接続され、セルストリングCST36AのバストランジスタTR306のゲートとセルストリングCST38AのバストランジスタTR308のゲートが共通のワード線WL34に接続されている。

【0088】このような構成を取る場合、共通のビット線に接続された一方のセルストリング、たとえばCST31Aをアクセスする間、他方のセルストリングCST32Aはディスターブを受ける。したがって、セルユニットに相当する単位のセルキャパシタ同士が相互にディスターブを及ぼし合う。

【0089】そこで、本第2の実施形態においても、上述した第1の実施形態と同様に、本体メモリ30Aはライトバック型キャッシュメモリ40を介してアクセスされる。このとき、本体メモリ30とキャッシュメモリ40の間のデータ転送は、セルストリングCST31A～CST34A、CST35A～CST38A、またはプレート線PL31～PL34、PL35～PL38を共有したセルユニットUT31A、UT32Aの単位で一括に転送を行う。

【0090】これにより、本第2の実施形態においても、第1の実施形態と同様に、ディスターブ回数の制御が容易になる。

【0091】第3実施形態

図4は、本発明の第3の実施形態に係るメモリ装置を採用したメモリシステムを示すブロック図である。

【0092】本第3の実施形態が上述した第1および第2の実施形態と異なる点は、メモリ装置を構成する第1のメモリとしてのクロスポイント型強誘電体メモリ（本体メモリという）と第2のメモリとしてのライトバック型キャッシュメモリとを別々のチップに構成する代わりに、同一チップ内に一体化した構成したことにある。このように、本体メモリ30Bとキャッシュメモリ40Bが一体化している場合は、ミスヒット時の本体、キャッシュ間データ転送の高速化に有利である。

【0093】図5は、本発明の第3の実施形態に係る本体メモリ30とキャッシュメモリ40が一体化されたメモリ装置の構成例を示す回路図である。

【0094】本メモリ装置60は、図5に示すように、本体メモリ30Bとキャッシュメモリ40Bとセンスアンプ341、342を挟んで、同一のビット線BL31～BL34（キャッシュメモリ40Bではビット線BL41～BL44として表している）に接続されている。

【0095】図5の本体メモリ30Bの構成は、図2の本体メモリ30と基本的には同様の構成を有していることから、ここではその詳細な説明は省略し、また、同一構成部分には同一を符号を用いている。図5の本体メモリ30Bにおいては、図2の本体メモリ30の構成に加えて、以下の構成をさらに有する。すなわち、センスアンプ341の差動入出力が、nチャネルMOSトランジスタからスイッチSW31、SW32を介してビット線BL31、BL32接続され、センスアンプ342の差動入出力が、nチャネルMOSトランジスタからスイッチSW33、SW34を介してビット線BL33、BL34に接続されている。また、センスアンプ341の差動入出力が、nチャネルMOSトランジスタからスイッチSW35、SW36を介してキャッシュメモリ40側のビット線BL41、BL42に接続され、センスアンプ342の差動入出力が、nチャネルMOSトランジスタからスイッチSW37、SW38を介してキャッシュメモリ40側のビット線BL43、BL44に接続されている。さらに、センスアンプ341に対してnチャネルMOSトランジスタからスイッチSW39を介してラッチ35が接続され、センスアンプ342に対してnチャネルMOSトランジスタからスイッチSW40を介してラッチ36が接続されている。そして、各スイッチSW31～SW34、スイッチSW35～SW38、およびスイッチSW39、SW40の導通制御を動作モードに応じて行うコントローラ37を有している。

【0096】キャッシュメモリ40Bは、たとえば選択トランジスタCST401～CST416と一方の電極をグラウンドで終端したキャパシタC401～C416からなるDRAMセルMC401～MC416が4行4列

のマトリクス状に配列されている。

【0097】そして、第1列に配列されたメモリセルMC401、MC405、MC409、MC413が選択トランジスタCST401、CST405、CST409、CST413を介してビット線BL41（BL31）に接続され、第2列に配列されたメモリセルMC402、MC406、MC410、MC414が選択トランジスタCST402、CST406、CST410、CST414を介してビット線BL42（BL32）に接続され、第3列に配列されたメモリセルMC403、MC407、MC411、MC415が選択トランジスタCST403、CST407、CST411、CST415を介してビット線BL43（BL33）に接続され、第4列に配列されたメモリセルMC404、MC408、MC412、MC416が選択トランジスタCST404、CST408、CST412、CST416を介してビット線BL44（BL34）に接続されている。

【0098】さらに、第1行に配列されたメモリセルMC401～MC404の選択トランジスタCST401～CST404のゲートがワード線WL41に接続され、第2行に配列されたメモリセルMC405～MC408の選択トランジスタCST405～CST408のゲートがワード線WL42に接続され、第3行に配列されたメモリセルMC409～MC412の選択トランジスタCST409～CST412のゲートがワード線WL43に接続され、第4行に配列されたメモリセルMC413～MC416の選択トランジスタCST413～CST416のゲートがワード線WL44に接続されている。また、ワード線WL41～WL44は、ワードドライバ42により駆動される。

【0099】このような構成を有するキャッシュメモリ40Bは、外部からランダムアクセスすることができる。これらのDRAMの容量は、第1のメモリとしての本体メモリ30Bと第2のメモリとしてキャッシュメモリ40Bの両メモリ領域間の一括転送単位に相当するセルユニットUT31、UT32の容量と一致している。また、DRAM領域（41B）をアドレッシングする各ワード線WL41～WL44は、本体メモリ30Bのセルユニット内をアドレッシングする各プレート線PL31～PL34、PL35～PL38に一对一で対応している。たとえば、セルユニットUT31のプレート線PL31～PL34に対し、キャッシュメモリ40Bのワード線WL41～WL44がそれぞれ対応する。

【0100】メモリ装置60において、外部からデータアクセスがあった場合、所望のデータが存在するセルユニットのデータがキャッシュメモリ40BのDRAM領域41Bに転送されていれば、DRAM領域41Bのみがアクセスされ、本体メモリ30Bのメモリセルアレイ（以下、メモリ領域）31Bはアクセスされない。した

がって、外部からはDRAMのようにランダムアクセスできる。

【0101】また、本体メモリ領域の書き換え回数も減少し、その寿命も延びる。なお、DRAMアクセス時は本体メモリ選択線SL31はオフ状態であり、DRAM選択線SL32はオン状態になっている。一方、所望のデータがキャッシュメモリ40BのDRAM領域41Bに無い場合、DRAM領域41Bのデータを元の本体メモリ30B内のセルユニットに一括連続で書き戻し、さらに所望のデータを含むセルユニットのデータをキャッシュメモリ40BのDRAM領域41Bに一括連続で転送する。

【0102】本第3の実施形態のように、キャッシュメモリ40BのDRAM領域41Bとクロスポイント型本体メモリ30Bメモリのメモリ領域31Bがビット線を共有した構成を取ることで、本体メモリ30Bのメモリ領域31Bとキャッシュメモリ40BのDRAM領域41B間のデータ転送はメモリ領域内の全ビット線を介して並列に行われる。したがって、極めて高速にデータ転送を実行でき、ミスヒット時のオーバーヘッド時間を低減できる。また、このようにキャッシュ部にDRAMを用い、アレイを一体化させることで、キャッシュ内蔵に伴うチップ面積の増大を大幅に低減できる。

【0103】また、DRAMのキャパシタ絶縁膜を本体メモリアレイの強誘電体膜の一部と同時形成すれば、小さなキャパシタで大きな容量が獲得でき、DRAMの占有面積をさらに小さくできる。さらに、DRAMのキャパシタをグラウンドで終端させることにより、そのキャパシタには一方向の電界しかかからない。したがって、最も使用頻度の高いDRAMキャッシュ部には分極反転が発生せず、疲労による誘電性の劣化や絶縁破壊は発生しない。

【0104】なお、メモリ全体を複数のバンクで構成し、本体メモリ30Bとキャッシュメモリ40BのDRAM間でデータ転送を行う間、他のバンクをアクセスできるようにしても良い。

【0105】さらに、本第3の実施形態では、上述したように、各センスアンプ341、342に別途ラッチ35、36が接続されている。これにより、たとえば、ミスヒット時に所望のプレート線上のデータをまずセンスアンプに読み出し、それらをラッチに保存する。その後ラッチとセンスアンプをスイッチSW39、SW40で切り離すことで、ラッチとセンスアンプを独立に機能させ、ミスヒット時のオーバーヘッドをさらに低減することもできる。すなわち、外部からはこれらのラッチにアクセスしつつ、内部ではセンスアンプを用いてキャッシュメモリ40BのDRAMと本体メモリ30Bの間のデータ転送を実行すれば良い。

【0106】図6および図7は、センスアンプを介した本体メモリとキャッシュメモリの両メモリ領域間のデー

タ転送動作例を示すタイミングチャートである。図6は本体メモリ30BからDRAMキャッシュメモリ40Bへの転送動作を例示し、本体メモリからデータを読み出し、DRAMキャッシュに書きこむ工程を示している。また、図7はDRAMキャッシュメモリ40Bから本体メモリ30Bへの転送動作を例示し、DRAMキャッシュメモリからデータを読み出し本体メモリにリストアする工程を示している。

【0107】次に、図6に関連付けて本体メモリ30BからDRAMキャッシュメモリ40Bへの転送動作について説明する。

【0108】まず、コントローラ37により本体メモリ領域選択線SL31を電源電圧 $V_{\alpha} + \alpha$ に駆動して、スイッチSW31～SW34をオンさせ、DRAM領域選択線SL32によりスイッチSW35～SW38をオフにして、センスアンプ341、342を本体メモリ30のみと接続する。そして、ビット線BL31、BL32（BL33、BL34）をグラウンドレベルにイコライズし、フローティングにした状態で、ワード線WL31（WL32）を開いてセルユニットUT31を選択し、所望のデータに接続されたプレート線たとえばPL31にパルスを与えてデータを読み出す。次に、本体メモリ領域選択線SL31を0Vに切り換えて、スイッチSW31～SW34をオフさせた後、センスアンプ341（342）を活性化し、さらに今度はDRAMメモリ領域選択線SL32を電源電圧 $V_{\alpha} + \alpha$ に駆動して、スイッチSW35～SW38をオンさせ、データをキャッシュメモリ40BのDRAM領域側のビット線BL41、BL42（BL43、BL34）に伝達する。ここで、選択プレート線PL31に対応したDRAMワード線WL41を駆動してDRAMキャパシタにデータを転送する。

【0109】上記動作を選択ユニット内の全てのプレート線に対して繰り返すことで、セルユニットUT31の全データが、キャッシュメモリ40BのDRAM領域41Bに転送される。なお、本体メモリ30BからDRAM領域へデータを転送した時点では本体メモリ30Bのリストアは行われていない。リストア動作は外部のアクセス要求がDRAM領域内のデータにミスヒットした際、キャッシュメモリ40BのDRAM領域41Bから元の領域にデータを書き戻す時に行われる。

【0110】なお、上記本体メモリ30Bからの読み出し動作において、本体ビット線BL31～BL34はセンスアンプ切断後に再度グラウンドにイコライズされているが、この時プレート線PL31はまだオン状態に止まっている。これにより、選択キャパシタには”0”が書きこまれる。したがって、キャッシュメモリ40BのDRAMから本体メモリ30Bへのリストア転送時には改めて”0”書きこみを行う必要は無く、所望のキャパシタに”1”のみを書き戻せば良い。

【0111】また、上記動作において、センスアンプ341、342を活性化した後、ラッチ35、36をセンスアンプに接続してそのデータを保管し、さらにラッチからセンスアンプを切り離れた後、外部に出力を始めても良い。ラッチとセンスアンプは独立に動作できるので、データ出力中も内部のデータ転送は問題なく実行できる。

【0112】次に、図7に関連付けてDRAMキャッシュメモリ40Bから本体メモリ30Bへの転送動作について説明する。

【0113】まず、本体メモリ領域選択線SL31を0Vに設定してスイッチSW31～SW34をオフのままとし、DRAM領域選択線SL32を電源電圧 $V_{cc} + \alpha$ に駆動して、スイッチSW35～SW38をオンの状態にして、センスアンプ341、342をキャッシュメモリ40BのDRAM領域41Bと接続し、DRAMワード線の一つWL41を駆動してデータを読み出す。センスアンプ341、342で増幅した後、今度は本体メモリ領域選択線SL31を電源電圧 $V_{cc} + \alpha$ に駆動して、

スイッチSW31～SW34をオンとして、本体メモリ30Bのワード線WL31を駆動し、信号を本体メモリ30BのたとえばセルユニットUT31に伝達する。この時、選択ユニット中でDRAMワード線WL41に対応した選択プレート線PL31はグラウンドレベルに、非選択プレート線PL32～PL34は $(1/2)V_{cc}$ に固定しておく。

【0114】以上の動作によりDRAMから”1”が読み出された場合に限り、選択ユニット中の選択プレート線上のキャパシタにのみ V_{cc} の電圧が印加され、”1”が書きこまれる。それ以外のキャパシタに印加される電圧の絶対値は全て $(1/2)V_{cc}$ 以下であり、他のキャパシタのデータは保たれる。

【0115】なお、上記例では説明簡略化のためディスタープ防止に $(1/2)V_{cc}$ を用いたが、非選択プレート線を $(2/3)V_{cc}$ にし、かつセンスアンプのローレベルを $(1/3)V_{cc}$ にシフトさせることで、非選択キャパシタへの電圧印加を $(1/3)V_{cc}$ 以下に低減することも可能である。

【0116】第4実施形態

図8は、本発明の第4の実施形態に係る本体メモリとキャッシュメモリが一体化されたメモリ装置の構成例を示す回路図である。

【0117】本第4の実施形態が上述した第3の実施形態と異なる点は、第3の実施形態では本体メモリ30Cのメモリセルアレイ（メモリ領域）において、異なる列に配置されたセルストリングをそれぞれ異なるビット線BL31～BL34に接続したのに対し、本第4の実施形態では、隣接する2列のセルストリングを同一のビット線に接続し、これに応じてキャッシュメモリ30CのDRAM領域41Cにおいても同様に、隣接する2列の

セルストリングを同一のビット線に接続したことにあ

る。

【0118】具体的には、本体メモリ30Cでは、図8に示すように、セルユニットUT31CにおけるセルストリングCST31のノード電極ND31がパストランジスタTR301を介してビット線BL31に接続され、セルストリングCST32のノード電極ND32がパストランジスタTR302を介してビット線BL31にされている。同様に、セルユニット31CにおけるセルストリングCST33のノード電極ND33がパストランジスタTR303を介してビット線BL32に接続され、セルストリングCST34のノード電極ND34がパストランジスタTR304を介してビット線BL32にされている。そして、セルストリングCST31のパストランジスタTR301のゲートとセルストリングCST33のパストランジスタTR303のゲートが共通のワード線WL31に接続され、セルストリングCST32のパストランジスタTR302のゲートとセルストリングCST34のパストランジスタTR304のゲートが共通のワード線WL33に接続されている。

【0119】また、セルユニットUT32CにおけるセルストリングCST35のノード電極ND35がパストランジスタTR305を介してビット線BL31に接続され、セルストリングCST36のノード電極ND36がパストランジスタTR306を介してビット線BL31にされている。同様に、セルユニットUT32CにおけるセルストリングCST37のノード電極ND37がパストランジスタTR307を介してビット線BL32に接続され、セルストリングCST38のノード電極ND38がパストランジスタTR308を介してビット線BL32にされている。そして、セルストリングCST35のパストランジスタTR305のゲートとセルストリングCST37のパストランジスタTR307のゲートが共通のワード線WL32に接続され、セルストリングCST36のパストランジスタTR306のゲートとセルストリングCST38のパストランジスタTR308のゲートが共通のワード線WL34に接続されている。

【0120】また、キャッシュメモリ40CのDRAM領域において、第1列に配列されたメモリセルMC401、MC405、MC409、MC413が選択トランジスタCST401、CST405、CST409、CST413を介してビット線BL41（BL31）に接続され、第2列に配列されたメモリセルMC402、MC406、MC410、MC414が選択トランジスタCST402、CST406、CST410、CST414を介してビット線BL41（BL31）に接続され、第3列に配列されたメモリセルMC403、MC407、MC411、MC415が選択トランジスタCST403、CST407、CST411、CST415

を介してビット線BL42 (BL32) に接続され、第4列に配列されたメモリセルMC404, MC408, MC412, MC416が選択トランジスタCST404, CST408, CST412, CST416を介してビット線BL42 (BL32) に接続されている。

【0121】さらに、第1行に配列されたメモリセルMC401, MC403の選択トランジスタCST401, CST403のゲートがワード線WL41に接続され、第1行に配列されたメモリセルMC402, MC404の選択トランジスタCST402, CST404のゲートがワード線WL45に接続され、第2行に配列されたメモリセルMC405, MC407の選択トランジスタCST405, CST407のゲートがワード線WL42に接続され、第2行に配列されたメモリセルMC406, MC408の選択トランジスタCST406, CST408のゲートがワード線WL46に接続され、第3行に配列されたメモリセルMC409~MC411の選択トランジスタCST409, CST411のゲートがワード線WL43に接続され、第3行に配列されたメモリセルMC410, MC412の選択トランジスタCST410, CST412のゲートがワード線WL47に接続され、第4行に配列されたメモリセルMC413, MC415の選択トランジスタCST413, CST415のゲートがワード線WL44に接続され、第4行に配列されたメモリセルMC414, MC416の選択トランジスタCST414, CST416のゲートがワード線WL48に接続されている。

【0122】このような構成を取る場合、互いにディスタブを及ぼし合うのはプレート線またはセルストリングを共有したセルユニットに相当するブロック単位である。したがって、このブロック単位を転送単位とし、それと同容量を持ったキャッシュメモリ40CのDRAM領域41Cが各ビット線に対応する形で本体メモリ30に接続されている。また、キャッシュメモリ40CのDRAM領域41のメモリセルを選択する各ワード線WL41~WL48は、本体メモリ30Cのセルユニットにおけるワード線とプレート線のマトリクスに対応している。すなわち、たとえばセルユニットUT31Cの2本のワード線WL41, WL43と4本のプレート線PL31~PL34に対し、DRAM領域41Cのワード線は2x4=8本のワード線WL41~WL48が対応する。

【0123】本第4の実施形態においても、DRAM領域41Cに所望のデータがあるときは、本体メモリ30Cのメモリ領域31Cにはアクセスしない。ミスヒットしたときには、セルユニットに相当する単位 of データ群を、キャッシュメモリ40CのDRAM領域41Cから元のメモリキャパシタに書き戻し、所望のデータを含むセルユニットのデータ群を本体メモリ30Cのメモリ領域31Cからキャッシュメモリ40CのDRAM領域4

1Cに転送する。

【0124】第3および第4の実施形態のメモリはいずれも外からは本体メモリの容量を持ったDRAMに見え、DRAMと同等にランダムアクセスができる。ただし、DRAM領域がミスヒットした際には、DRAMと本体メモリ間のデータ転送が必要になり、適時待ち(WAIT)をかける必要がある。ただし、そのような場合でも、他のバンクには並列でアクセスできる。また、前述の如くセンスアンプに別途ラッチを接続すれば、内部データ転送を実行しながらも、要求したデータを外部に高速に取り出すことが可能である。

【0125】また、キャッシュ領域はDRAMとしたが、これを同構成のFeRAMとしてもランダムアクセス性は同様に向上する。この場合、各キャパシタをプレート線で駆動することで分極電荷を信号に利用することができ、さらに、キャパシタを小さくしてキャッシュ部の占有面積を小型化できる。ただし、キャッシュ領域の書き換え劣化が進むので、アクセス頻度の高い用途にはDRAMが適している。

【0126】第5実施形態

図9は、本発明の第5の実施形態に係るメモリ装置を採用したメモリシステムを示すブロック図である。

【0127】本第5の実施形態が上述した第1の実施形態と異なる点は、キャッシュメモリ40Dを別チップとする代わりに、CPU50と同一チップ内に一体化して構成したことにある。その他の構成は、上述した第1の実施形態と同様である。

【0128】本第5の実施形態によれば、上述した第1の実施形態の効果と同様の効果を得ることができる。

【0129】また、以上の実施形態の他に、クロスポイント型メモリの本体部分にはゲイン型等のバリエーションがあるが、それらにも本発明は同様に適用可能である。

【0130】以上説明にした実施形態においては、同一ノードに強誘電体キャパシタが4つ接続された場合について述べたが、強誘電体キャパシタは2つ以上であれば何個接続されていても良い。一般に、同一ノードに接続される強誘電体キャパシタの数が多いほど記憶密度は高くなるが、ディスタブ回数が増えるのでデータが劣化しやすくなる。また、データ読み出し時にビット線電位が僅かに変動するので、同一ノードに接続されたキャパシタ数が多いとそこから変動分の電荷が放出されてノイズになる。したがって、同一ノードに接続されるキャパシタ数は8個以下、すなわち2個から8個の間が望ましい。

【0131】

【発明の効果】以上説明したように、本発明によれば、クロスポイント型強誘電体メモリの不揮発性、高集積性を活かしつつ、そのランダムアクセス性を向上させ、かつ書き換え回数を低減でき、ディスタブ回数の上限を

10

20

30

40

50

容易に制御することができる。その結果、データ破壊のない、安定したアクセスを保證できる利点がある。

【図面の簡単な説明】

【図 1】本発明の第 1 の実施形態に係るメモリ装置を採用したメモリシステムを示すブロック図である。

【図 2】本発明の第 1 の実施形態に係るメモリ装置を採用したメモリシステムを示す回路図である。

【図 3】本発明の第 2 の実施形態に係るメモリ装置を採用したメモリシステムを示す回路図である。

【図 4】本発明の第 3 の実施形態に係るメモリ装置を採用したメモリシステムを示すブロック図である。

【図 5】本発明の第 3 の実施形態に係る本体メモリとキャッシュメモリが一体化されたメモリ装置の構成例を示す回路図である。

【図 6】センスアンプを介した本体メモリとキャッシュメモリの両メモリ領域間のデータ転送動作例を示すタイミングチャートであって、本体メモリから DRAM キャッシュメモリへの転送動作を例示し、本体メモリからデータを読み出し、DRAM キャッシュに書きこむ工程を示す図である。

【図 7】センスアンプを介した本体メモリとキャッシュメモリの両メモリ領域間のデータ転送動作例を示すタイミングチャートであって、DRAM キャッシュメモリから本体メモリへの転送動作を例示し、DRAM キャッシュメモリからデータを読み出し本体メモリにリストアす*

*る工程を示す図である。

【図 8】本発明の第 4 の実施形態に係る本体メモリとキャッシュメモリが一体化されたメモリ装置の構成例を示す回路図である。

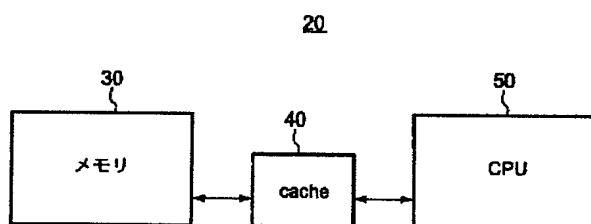
【図 9】本発明の第 5 の実施形態に係るメモリ装置を採用したメモリシステムを示すブロック図である。

【図 10】クロスポイント型強誘電体メモリの一例を示す回路図である。

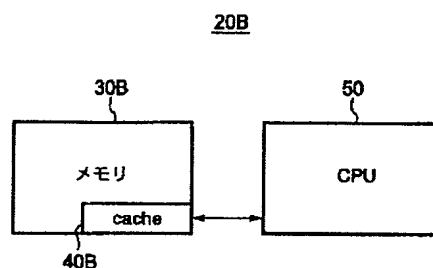
【符号の説明】

20, 20A~20D…メモリシステム、31, 31A~31C…メモリセルアレイ（メモリ領域）、32…ワードドライバ、33…プレートドライバ、34…センスアンプ（S/A）群、341, 342…センスアンプ、35, 36…ラッチ、37…コントローラ、FC301~FC332…強誘電体キャパシタ、UT31, UT32…セルユニット、CST31~CST38…セルストリング、WL31~WL34…ワード線、BL11~BL14…ビット線、PL31~PL38…プレート線、ND31~ND38…ノード電極、40, 40A~40D…キャッシュメモリ、41A~41C…DRAM 領域、WL41~WL48…ワード線、BL41~BL44…ビット線、MC401~MC416…メモリセル、C401~C416…キャパシタ、CST401~CST416…選択トランジスタ、50…CPU、60…メモリ装置。

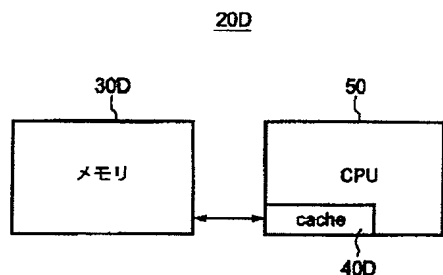
【図 1】



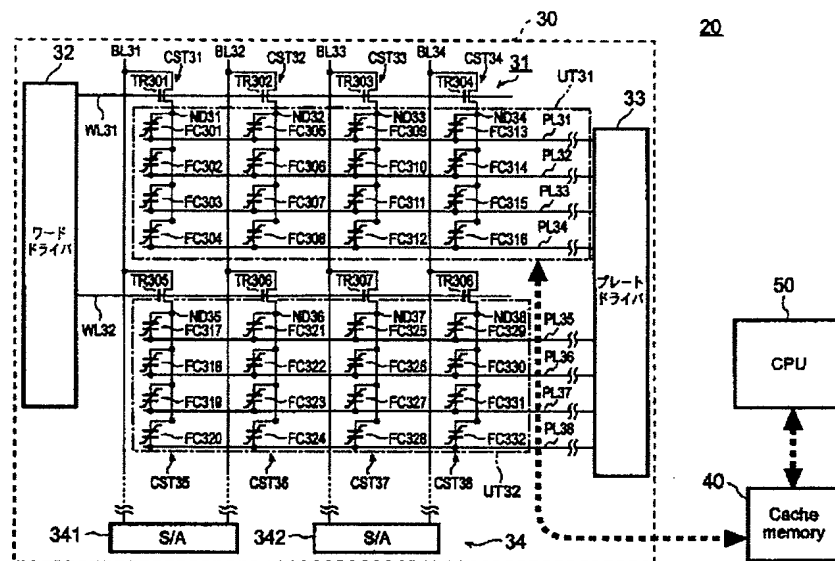
【図 4】



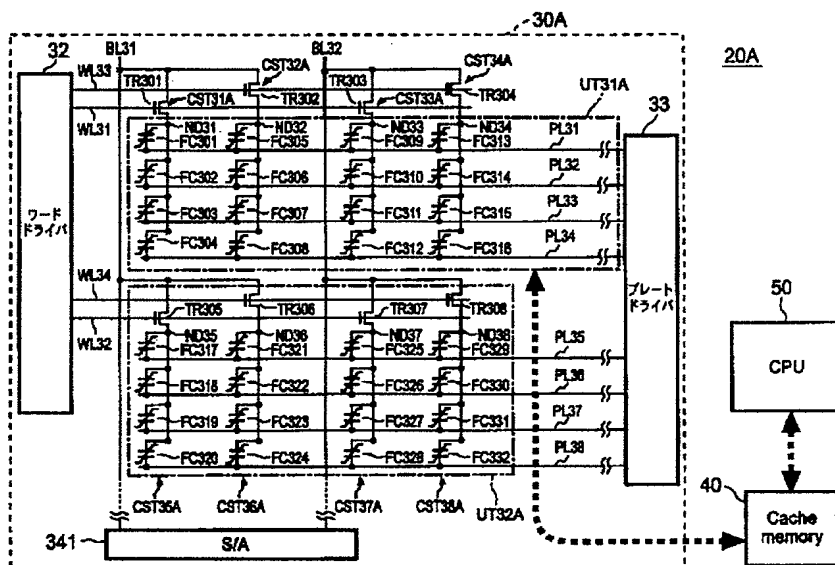
【図 9】



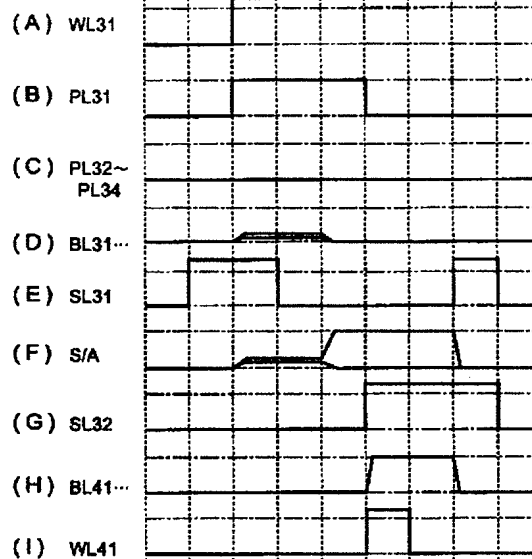
【図2】



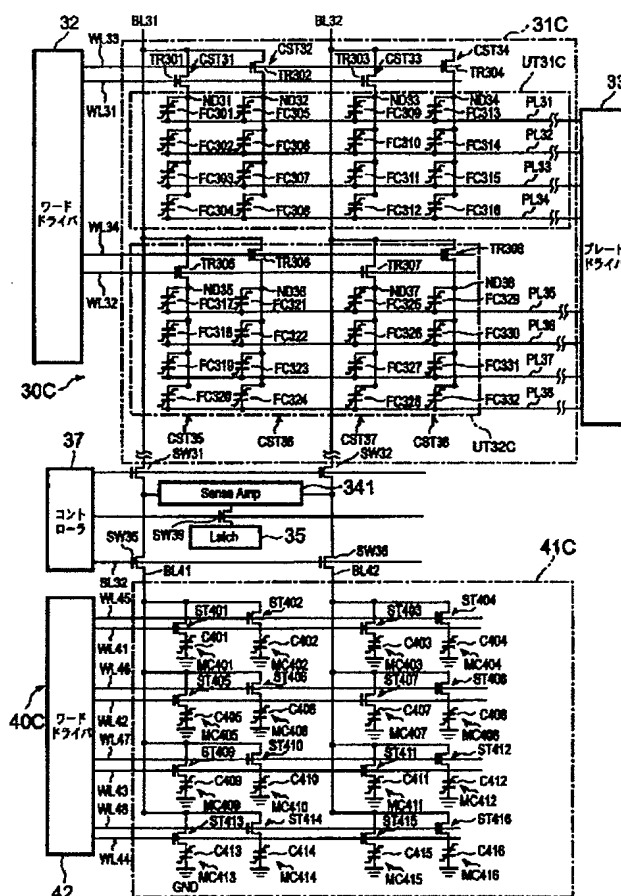
【図3】



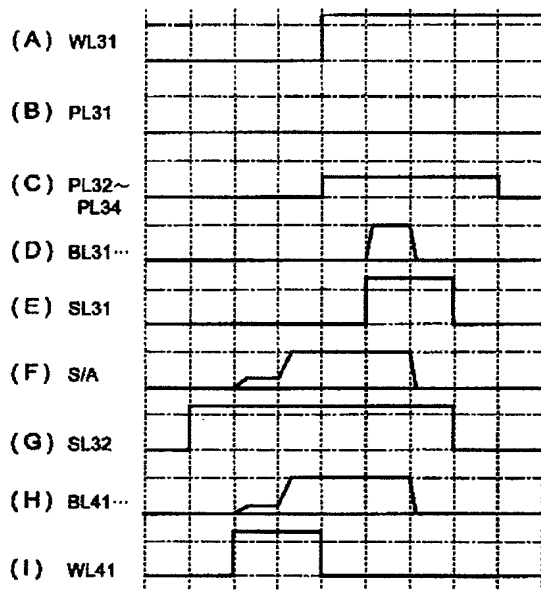
【图6】



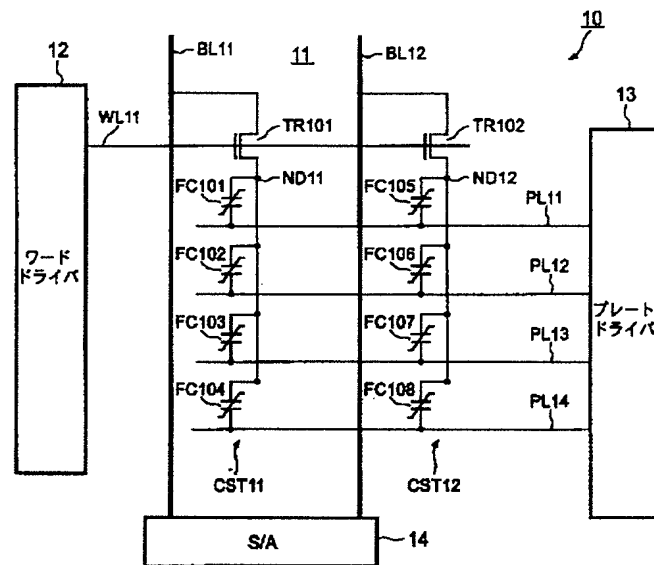
【图8】



【図 7】



【図 10】



フロントページの続き

(51) Int. Cl.⁷
G11C 11/41

識別記号

F I
G11C 11/34

テーマコード (参考)

371Z

